

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

EP16190 C

XP 002150297

AN - 1996-470452 [47]

AP - JP19950036639 19950224

CPY - MATU

DC - U13 U14 U21

FS - EPI

IC - H01L21/822 ; H01L27/04 ; H01L29/786 ; H03K17/693 ; H03M1/76

MC - U13-B02 U14-K01A3 U21-A02A9 U21-B01B U21-B05A

PA - (MATU) MATSUSHITA DENKI SANGYO KK

PN - JP8237097 A 19960913 DW199647 H03K17/693 007pp

PR - JP19950036639 19950224

XIC - H01L-021/822 ; H01L-027/04 ; H01L-029/786 ; H03K-017/693 ; H03M-001/76

XP - N1996-396681

AB - J08237097 The circuit has a first analog signal switching circuit (17) which consists of three transistors (11-13) connected in cascade form.

The operation of the transistors are controlled by three digital signals (D0-D2). A second analog signal switching circuit (18) consisting of three transistors (14-16) connected in cascade form is set up.

- The operation of the transistors of the second analog signal switching circuit is controlled by inverted digital signals ( $\bar{D}0$ - $\bar{D}2$ ). A first analog input voltage (VIN1) and a second analog input voltage (VIN2) are input into one end of the first and second switching circuits respectively. The other end of the two switching circuits are connected where an analog output voltage (VOUT) is obtained.
- ADVANTAGE - Facilitates pattern designing of IC. Reduces number of elements and circuit scale.
- (Dwg.1/4)

IW - ANALOGUE VOLTAGE SWITCH CIRCUIT LIQUID CRYSTAL DRIVE TFT MATRIX COLOUR LIQUID CRYSTAL PANEL ONE END TWO SWITCH CIRCUIT CONNECT ANALOGUE OUTPUT VOLTAGE OBTAIN

IKW - ANALOGUE VOLTAGE SWITCH CIRCUIT LIQUID CRYSTAL DRIVE TFT MATRIX COLOUR LIQUID CRYSTAL PANEL ONE END TWO SWITCH CIRCUIT CONNECT ANALOGUE OUTPUT VOLTAGE OBTAIN

NC - 001

OPD - 1995-02-24

ORD - 1996-09-13

PAW - (MATU) MATSUSHITA DENKI SANGYO KK

TI - Analogue voltage switching circuit in liquid crystal driver for TFT matrix coloured liquid crystal panel - in which one end of two switching circuits are connected where analog output voltage is obtained

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-237097

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/693		9184-5K	H 0 3 K 17/693	A
H 0 1 L 27/04			H 0 3 M 1/76	
	21/822		H 0 1 L 27/04	F
	29/786		29/78	6 1 4
H 0 3 M 1/76				

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平7-36639

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(22) 出願日 平成7年(1995)2月24日

(72) 発明者 大森 哲郎  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 伊達 義人  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 小泉 隆  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

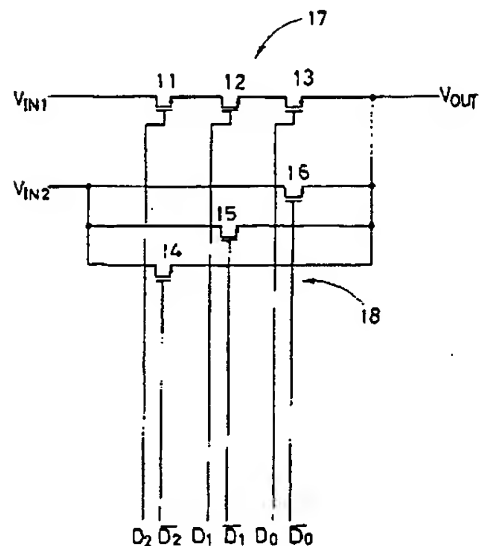
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 アナログ電圧切替回路

(57) 【要約】

【目的】 集積回路のパターン設計が容易で、回路規模を小さくできるアナログ電圧切替回路を提供する。

【構成】 デジタル信号  $D_2$ 、 $D_1$ 、 $D_0$  に応じて導通・遮断がそれぞれ制御されるアナログ信号スイッチ素子 11、12、13 をカスケード接続したアナログ信号スイッチ回路 17 と、反転デジタル信号  $\neg D_2$ 、 $\neg D_1$ 、 $\neg D_0$  に応じて導通・遮断がそれぞれ制御されるアナログ信号スイッチ素子 14、15、16 を並列接続したアナログ信号スイッチ回路 18 とを有している。そして、アナログ信号スイッチ回路 17、18 の一端どうしを共通接続し、アナログ信号スイッチ回路 17 の他端をアナログ入力電圧  $V_{IN1}$  の入力端とし、アナログ信号スイッチ回路 18 の他端を第2のアナログ入力電圧  $V_{IN2}$  の入力端とし、アナログ信号スイッチ回路 17、18 の一端をアナログ出力電圧  $V_{OUT}$  の出力端としている。



- 11 アナログ信号スイッチ素子
- 12 アナログ信号スイッチ素子
- 13 アナログ信号スイッチ素子
- 14 アナログ信号スイッチ素子
- 15 アナログ信号スイッチ素子
- 16 アナログ信号スイッチ素子
- 17 アナログ信号スイッチ回路 (第1)
- 18 アナログ信号スイッチ回路 (第2)

## 【特許請求の範囲】

【請求項1】 複数ビットのデジタル信号に応じて導通・遮断がそれぞれ制御される第1群の複数個のアナログ信号スイッチ素子をカスケード接続した第1のアナログ信号スイッチ回路と、前記複数ビットのデジタル信号を各ビット毎に反転した反転デジタル信号に応じて導通・遮断がそれぞれ制御される第2群の複数個のアナログ信号スイッチ素子を並列接続した第2のアナログ信号スイッチ回路とを備え、

前記第1および第2のアナログ信号スイッチ回路の一端10  
どうしを共通接続し、前記第1のアナログ信号スイッチ回路の他端を第1のアナログ入力電圧の入力端とし、前記第2のアナログ信号スイッチ回路の他端を第2のアナログ入力電圧の入力端とし、前記第1および第2のアナログ信号スイッチ回路の一端をアナログ出力電圧の出力端としたアナログ電圧切替回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、例えばTFTマトリクスカラー液晶パネルを駆動する液晶ドライバに内蔵され、各色のデジタルカラー画像信号等のデジタル信号に応じたアナログ電圧を出力するデジタル・アナログ変換器に与える基準電圧を切り替えるアナログ電圧切替回路に関するものである。

## 【0002】

【従来の技術】 図2にカラー液晶パネルを駆動する液晶ドライバに内蔵されて各色のデジタルカラー信号に応じたアナログ電圧を出力する従来のデジタル・アナログ変換装置のブロック図を示す。このデジタル・アナログ変換装置は、例えば各色6ビットのデジタルカラー画像信号（デジタル信号）を画素毎にアナログ電圧に変換して容量負荷である液晶パネルの各画素に加えることにより、階調表示を行うものであるが、6ビットのデジタル信号を一つのデジタル・アナログ変換器でアナログ電圧に変換するのではなく、図2に示すように、6ビットのデジタル信号 $D_5: D_4: D_3: D_2: D_1: D_0$ を上位3ビットのデジタル信号 $D_5: D_4: D_3$ と下位3ビットのデジタル信号 $D_2: D_1: D_0$ とに分け、デジタル・アナログ変換を2段に行う構成としている。

【0003】 つまり、このデジタル・アナログ変換装置は、図2に示すように、外部から11種類の電圧 $V_0 \sim V_{10}$  ( $V_0 < V_1 < V_2 < \dots < V_9 < V_{10}$ ) をデジタル・アナログ変換のための基準電圧として入力している。この場合、各電圧 $V_1 \sim V_{10}$ は、 $V_2 - V_1 = V_3 - V_2 = V_4 - V_3 = V_5 - V_4 = V_6 - V_5 = V_7 - V_6 = V_8 - V_7 = V_9 - V_8$ であり、 $V_1 - V_0 > V_2 - V_1$ で、 $V_{10} - V_9 > V_9 - V_8$ である。

【0004】 アナログ電圧切替回路3Aは、電圧 $V_0$ と電圧 $V_{10}$ とを下位3ビットのデジタル信号 $D_2: D_1: D_0$ に従って何れか一方を選択して出力する。同様に、アナ

ログ電圧切替回路3Bは、電圧 $V_1$ と電圧 $V_9$ とを下位3ビットのデジタル信号 $D_2: D_1: D_0$ の反転デジタル信号 $\neg D_2: \neg D_1: \neg D_0$ （ $\neg$ は反転を意味する）に従って何れか一方を選択して出力する。

【0005】 そして、2台のアナログ電圧切替回路3A、3Bから出力される電圧と電圧 $V_2 \sim V_8$ との何れか2個を、初段のデジタル・アナログ変換機能を有するアナログ電圧切替回路1が、上位3ビットのデジタル信号 $D_5: D_4: D_3$ に従って選択してアナログ電圧 $V_A$ 、 $V_B$ として出力し、次段の容量型のデジタル・アナログ変換器2に上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ としてそれぞれ供給することになる。

【0006】 そして、上記2つのアナログ電圧 $V_A$ 、 $V_B$ が上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ として入力される3ビットの容量型のデジタル・アナログ変換器2が下位3ビットのデジタル信号 $D_2: D_1: D_0$ に従ってアナログ電圧を出力し、このアナログ電圧が容量負荷である液晶パネル等に加えられる。デジタル・アナログ変換器2は、上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ を入力として、下位3ビットのデジタル信号 $D_2: D_1: D_0$ をデジタル入力とするデジタル・アナログ変換動作を行い、上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ の間の電圧範囲を8等分し、下位3ビットのデジタル信号 $D_2: D_1: D_0$ に応じた電圧をアナログ電圧 $V_C$ として出力し、このアナログ電圧 $V_C$ は6ビットデジタル信号 $D_5: D_4: D_3: D_2: D_1: D_0$ に対応した値となる。

【0007】 ここで、アナログ電圧切替回路3A、3Bとアナログ電圧切替回路1について詳しく説明する。アナログ電圧切替回路3Aは、下位3ビットのデジタル信号 $D_2: D_1: D_0$ が“111”のときに電圧 $V_0$ を選択出力し、下位3ビットのデジタル信号 $D_2: D_1: D_0$ が“111”以外のときに電圧 $V_9$ を選択出力する。

【0008】 アナログ電圧切替回路3Bは、下位3ビットのデジタル信号 $D_2: D_1: D_0$ の反転デジタル信号 $\neg D_2: \neg D_1: \neg D_0$ が“111”のときに電圧 $V_9$ を選択出力し、反転デジタル信号 $\neg D_2: \neg D_1: \neg D_0$ が“111”以外のときに電圧 $V_0$ を選択出力する。アナログ電圧切替回路1は、上位3ビットのデジタル信号 $D_5: D_4: D_3$ が“111”のときは、アナログ電圧切替回路3Aの出力（ $V_A$ または $V_B$ ）をアナログ電圧 $V_A$ として出力し、電圧 $V_B$ をアナログ電圧 $V_B$ として出力する。ここで、下位3ビットのデジタル信号 $D_2: D_1: D_0$ が“111”のときは、アナログ電圧切替回路3Aの出力電圧が $V_0$ であり、デジタル・アナログ変換器2の上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ がそれぞれ電圧 $V_0$ 、 $V_9$ となり、デジタル・アナログ変換器2のアナログ出力電圧 $V_C$ は略 $V_0$ （ $V_0$ よりやや低い値）となる。下位3ビットのデジタル信号 $D_2: D_1: D_0$ が“111”以外のときは、アナログ電圧切替回路3Aの出力電圧が $V_9$ であり、デジタル・アナログ変換器2の上側基

3

準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ が $V_5$ 、 $V_6$ となり、デジタル・アナログ変換器2のアナログ出力電圧 $V_c$ は電圧 $V_5$ 、 $V_6$ 間における下位3ビットのデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ に応じた値となる。

【0009】また、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“110”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、電圧 $V_6$ をアナログ電圧 $V_b$ として出力する。このとき、デジタル・アナログ変換器2の上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ が $V_5$ 、 $V_6$ となり、デジタル・アナログ変換器2のアナログ出力電圧 $V_c$ は電圧 $V_5$ 、 $V_6$ 間における下位3ビットのデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ に応じた値となる。

【0010】同様に、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“101”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、電圧 $V_6$ をアナログ電圧 $V_b$ として出力し、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“100”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、電圧 $V_6$ をアナログ電圧 $V_b$ として出力し、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“011”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、電圧 $V_6$ をアナログ電圧 $V_b$ として出力し、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“010”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、電圧 $V_6$ をアナログ電圧 $V_b$ として出力し、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“001”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、電圧 $V_6$ をアナログ電圧 $V_b$ として出力する。そして、デジタル・アナログ変換器2のアナログ出力電圧 $V_c$ は、電圧 $V_5$ 、 $V_6$ 間、電圧 $V_5$ 、 $V_6$ 間、電圧 $V_4$ 、 $V_5$ 間、電圧 $V_3$ 、 $V_4$ 間、電圧 $V_2$ 、 $V_3$ 間において、下位3ビットのデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ に応じた値となる。

【0011】また、上位3ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“000”のときは、電圧 $V_5$ をアナログ電圧 $V_a$ として出力し、アナログ電圧切替回路3Bの出力( $V_1$ または $V_6$ )をアナログ電圧 $V_b$ として出力する。ここで、下位3ビットのデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ の反転デジタル信号 $\neg D_2$ 、 $\neg D_1$ 、 $\neg D_0$ が“111”のときは、アナログ電圧切替回路3Bの出力電圧が $V_6$ であり、デジタル・アナログ変換器2の上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ がそれぞれ電圧 $V_2$ 、 $V_1$ となり、デジタル・アナログ変換器2のアナログ出力電圧 $V_c$ は略 $V_2$ ( $V_6$ よりやや高い値)となる。下位3ビットのデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ が“111”以外のときは、アナログ電圧切替回路3Bの出力電圧が $V_1$ であり、デジタル・アナログ変換器2の上側基準電圧 $V_{REFA}$ および下側基準電圧 $V_{REFB}$ が $V_2$ 、 $V_1$ となり、デジタル・アナログ変換器2のアナログ出力電圧 $V_c$ は電圧 $V_2$ 、 $V_1$ 間における下位3ビットのデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ に応じた値となる。

【0012】以上のような構成のデジタル・アナログ変

4

換装置は、入力される6ビットのデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ とアナログ出力電圧 $V_c$ の関係は図3のようになる。つまり、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“000000”(すなわち、 $00_E$ )のときは略電圧 $V_0$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“000001”(すなわち、 $01_E$ )のときは略電圧 $V_1$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“000111”(すなわち、 $07_E$ )のときは電圧 $V_2$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“001111”(すなわち、 $0F_E$ )のときは電圧 $V_3$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“010111”(すなわち、 $17_E$ )のときは電圧 $V_4$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“011111”(すなわち、 $1F_E$ )のときは電圧 $V_5$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“100111”(すなわち、 $27_E$ )のときは電圧 $V_6$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“101111”(すなわち、 $2F_E$ )のときは電圧 $V_7$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“110111”(すなわち、 $37_E$ )のときは電圧 $V_8$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“1111110”(すなわち、 $3E_E$ )のときは略電圧 $V_9$ が出力され、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“1111111”(すなわち、 $3F_E$ )のときは略電圧 $V_{10}$ が出力される。デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が上記以外のときは、電圧 $V_1$ から電圧 $V_6$ までの範囲のいずれかの値の電圧が出力される。

【0013】上記したように、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“000000”のときとデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“1111111”のときのアナログ電圧 $V_c$ が、それぞれデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ 、 $D_2$ 、 $D_1$ 、 $D_0$ が“000001”のときとデジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ が“1111110”のときのアナログ電圧 $V_c$ から大きく離れることになり、この部分でのデジタル・アナログ変換器2の出力電圧のステップを他の部分より大きくでき、画像の最も暗い部分と最も明るい部分における階調の変化を、それ以外の領域の階調の変化に比べて強調できる。

【0014】ここで、図2におけるアナログ電圧切替回路3Aの具体例の回路図を図4に示す。このアナログ電圧切替回路3Aは、上記したように、アナログ電圧切替回路1に加える電圧を電圧 $V_{10}$ と電圧 $V_9$ とに切り替えるものであり、図4に示すように、デジタル信号 $D_5$ 、 $D_4$ 、 $D_3$ に応じてアナログ入力電圧 $V_{10}$ ( $=V_{10}$ )、 $V_{11}$ ( $=V_9$ )を選択的にアナログ出力電圧 $V_{out}$ として出力するものである。

【0015】具体的には、図4に示すように、NチャネルMOSトランジスタからなるアナログ信号スイッチ素子21の一端(ソース)とNチャネルMOSトランジス

5

タからなるアナログ信号スイッチ素子22の一端(ソース)を共通接続し、アナログ信号スイッチ素子21の他端(ドレイン)を第1のアナログ入力電圧 $V_{1s}$ の入力端とし、アナログ信号スイッチ素子22の他端(ドレイン)を第2のアナログ入力電圧 $V_{2s}$ の入力端とし、アナログ信号スイッチ素子21、22の共通接続した一端(共通ソース)をアナログ出力電圧 $V_{out}$ の出力端としている。

【0016】デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ に応じたアナログ信号スイッチ素子21、22のオンオフの制御は、デコード回路23により行っている。このデコード回路23は、3個のPチャネルMOSトランジスタ24、25、26を並列接続してPチャネルMOSトランジスタ24、25、26の一端(共通ソース)を電源 $V_{DD}$ に接続し、3個のNチャネルMOSトランジスタ27、28、29を直列接続し、PチャネルMOSトランジスタ24、25、26の一端(共通ドレイン)にNチャネルMOSトランジスタ27のドレインを接続し、NチャネルMOSトランジスタ29のソースをグラウンド $V_{SS}$ に接続している。

【0017】そして、PチャネルMOSトランジスタ24とNチャネルMOSトランジスタ27のゲートを共通接続してデジタル信号 $D_2$ の入力端とし、PチャネルMOSトランジスタ25とNチャネルMOSトランジスタ28のゲートを共通接続してデジタル信号 $D_1$ の入力端とし、PチャネルMOSトランジスタ26とNチャネルMOSトランジスタ29のゲートを共通接続してデジタル信号 $D_0$ の入力端としている。

【0018】また、PチャネルMOSトランジスタ30のソースを電源 $V_{DD}$ に接続し、PチャネルMOSトランジスタ30のドレインにNチャネルMOSトランジスタ31のドレインを接続し、NチャネルMOSトランジスタ31のソースをグラウンド $V_{SS}$ に接続し、PチャネルMOSトランジスタ30およびNチャネルMOSトランジスタ31のゲートを共通接続してPチャネルMOSトランジスタ24、25、26の一端(共通ドレイン)に接続している。

【0019】そして、PチャネルMOSトランジスタ30およびNチャネルMOSトランジスタ31の共通接続したドレインを、NチャネルMOSトランジスタからなるアナログ信号スイッチ素子21のゲートに接続し、PチャネルMOSトランジスタ24、25、26の一端(共通ドレイン)を、NチャネルMOSトランジスタからなるアナログ信号スイッチ素子22のゲートに接続している。

【0020】ここで、アナログ電圧切替回路3の動作について簡単に説明する。デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ が“111”のときは、PチャネルMOSトランジスタ24、25、26がすべてオフとなり、NチャネルMOSトランジスタ27、28、29がすべてオンとなるの

6

で、PチャネルMOSトランジスタ24、25、26の一端(共通ドレイン)が“L”となり、したがって、PチャネルMOSトランジスタ30がオンとなり、NチャネルMOSトランジスタ31がオフとなるので、PチャネルMOSトランジスタ30およびNチャネルMOSトランジスタ31の共通接続したドレインが“H”となる。この結果、アナログ信号スイッチ素子21が導通し、アナログ信号スイッチ素子22が遮断し、アナログ出力電圧 $V_{out}$ は第1のアナログ入力電圧 $V_{1s}$ となる。

【0021】また、デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ が“111”以外のときは、PチャネルMOSトランジスタ24、25、26の何れか少なくとも1個がオンとなり、NチャネルMOSトランジスタ27、28、29の何れか少なくとも1個がオフとなるので、PチャネルMOSトランジスタ24、25、26の一端(共通ドレイン)が“H”となり、したがって、PチャネルMOSトランジスタ30がオフとなり、NチャネルMOSトランジスタ31がオンとなるので、PチャネルMOSトランジスタ30およびNチャネルMOSトランジスタ31の共通接続したドレインが“L”となる。この結果、アナログ信号スイッチ素子21が遮断し、アナログ信号スイッチ素子22が導通し、アナログ出力電圧 $V_{out}$ は第2のアナログ入力電圧 $V_{2s}$ となる。

【0022】なお、デコード回路23にデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ の各ビットをそれぞれ反転したデジタル信号 $\neg D_2$ 、 $\neg D_1$ 、 $\neg D_0$ を入力すれば、デジタル信号 $\neg D_2$ 、 $\neg D_1$ 、 $\neg D_0$ が“111”のとき、いいかえると、デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ が“000”のときに、アナログ信号スイッチ素子21が導通し、アナログ信号スイッチ素子22が遮断し、アナログ出力電圧 $V_{out}$ は第1のアナログ入力電圧 $V_{1s}$ となる。また、デジタル信号 $\neg D_2$ 、 $\neg D_1$ 、 $\neg D_0$ が“111”以外のとき、いいかえると、デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ が“000”以外のときに、アナログ信号スイッチ素子21が遮断し、アナログ信号スイッチ素子22が導通し、アナログ出力電圧 $V_{out}$ は第2のアナログ入力電圧 $V_{2s}$ となる。したがって、図2のアナログ電圧切替回路4を構成することができる。

【0023】

【発明が解決しようとする課題】上記した従来のアナログ電圧切替回路は、アナログ電圧の切替に、2個のNチャネルMOSトランジスタからなるアナログ信号スイッチ素子21、22の他に、アナログ信号スイッチ素子21、22の導通・遮断をデジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ に応じて制御するためのデコード回路23が必要であり、デコード回路23が4個のPチャネルMOSトランジスタ24、25、26、30と4個のNチャネルMOSトランジスタ27、28、29、31の合計8個のMOSトランジスタで構成され、アナログ電圧切替回路全体とし

ては10個のMOSトランジスタが必要であり、MOSトランジスタ数が多く、しかも、PチャネルMOSトランジスタ24, 25, 26, 30とNチャネルMOSトランジスタ27, 28, 29, 31とが混在しているので、ウェル領域を多数形成する必要があり、パターン設計が困難であり、また回路規模が大きくなるという問題があった。

【0024】なお、図4では、アナログ信号スイッチ素子21, 22がNチャネルMOSトランジスタで構成されているものについて説明したが、アナログ信号スイッチ素子がPチャネルMOSトランジスタで構成されている場合にも、同様の問題がある。したがって、この発明の目的は、集積回路のパターン設計が容易で、回路規模を小さくできるアナログ電圧切替回路を提供することである。

【0025】

【課題を解決するための手段】この発明のアナログ電圧切替回路は、複数ビットのデジタル信号に応じて導通・遮断がそれぞれ制御される第1群の複数個のアナログ信号スイッチ素子をカスケード接続した第1のアナログ信号スイッチ回路と、複数ビットのデジタル信号をビット毎に反転した反転デジタル信号に応じて導通・遮断がそれぞれ制御される第2群の複数個のアナログ信号スイッチ素子を並列接続した第2のアナログ信号スイッチ回路とを備え、第1および第2のアナログ信号スイッチ回路の一端どうしを共通接続し、第1のアナログ信号スイッチ回路の他端を第1のアナログ入力電圧の入力端とし、第2のアナログ信号スイッチ回路の他端を第2のアナログ入力電圧の入力端とし、第1および第2のアナログ信号スイッチ回路の一端をアナログ出力電圧の出力端としている。

【0026】

【作用】この発明の構成によれば、第1群および第2群の複数個のアナログ信号スイッチ素子がNチャネルMOSトランジスタである場合において、複数ビットのデジタル信号の各ビットデータがすべて“H”のときには、第1群の複数個のアナログ信号スイッチ素子がすべて導通し、第2群の複数個のアナログ信号スイッチ素子がすべて遮断し、アナログ出力電圧として第1のアナログ入力電圧が出力される。また、複数ビットのデジタル信号の各ビットデータの何れか少なくとも1個が“L”のときには、第1群の複数個のアナログ信号スイッチ素子の何れか少なくとも1個が遮断し、第2群の複数個のアナログ信号スイッチ素子の何れか少なくとも1個が導通し、アナログ出力電圧として第2のアナログ入力電圧が出力される。

【0027】

【実施例】以下、この発明の実施例を図面を参照しながら説明する。図1にこの発明の一実施例のアナログ電圧切替回路の回路図を示す。このアナログ電圧切替回路

は、3ビットのデジタル信号 $D_2: D_1: D_0$ の各ビットデータに応じて導通・遮断がそれぞれ制御されるNチャネルMOSトランジスタからなる第1群の3個のアナログ信号スイッチ素子11, 12, 13をカスケード接続した第1のアナログ信号スイッチ回路17と、3ビットのデジタル信号 $D_2: D_1: D_0$ を各ビット毎に反転した反転デジタル信号 $\neg D_2: \neg D_1: \neg D_0$ に応じて導通・遮断がそれぞれ制御されるNチャネルMOSトランジスタからなる第2群の3個のアナログ信号スイッチ素子14, 15, 16を並列接続した第2のアナログ信号スイッチ回路18とを有している。この場合、3個のアナログ信号スイッチ素子11, 12, 13のゲートにデジタル信号 $D_2: D_1: D_0$ がそれぞれ入力され、3個のアナログ信号スイッチ素子14, 15, 16のゲートに反転デジタル信号 $\neg D_2: \neg D_1: \neg D_0$ が入力される。

【0028】そして、第1および第2のアナログ信号スイッチ回路17, 18の一端（ソース側）どうしを共通接続し、第1のアナログ信号スイッチ回路17の他端（ドレイン側）を第1のアナログ入力電圧 $V_{1st}$ の入力端とし、第2のアナログ信号スイッチ回路18の他端（ドレイン側）を第2のアナログ入力電圧 $V_{2st}$ の入力端とし、第1および第2のアナログ信号スイッチ回路17, 18の一端（ソース側）をアナログ出力電圧 $V_{out}$ の出力端としている。

【0029】このアナログ電圧切替回路によれば、3ビットのデジタル信号 $D_2: D_1: D_0$ の各ビットデータがすべて“H”のときには、アナログ信号スイッチ素子11, 12, 13がすべて導通し、アナログ信号スイッチ素子14, 15, 16がすべて遮断し、アナログ出力電圧 $V_{out}$ として第1のアナログ入力電圧 $V_{1st}$ が出力される。また、デジタル信号 $D_2: D_1: D_0$ の各ビットデータの何れか少なくとも1個が“L”のときには、アナログ信号スイッチ素子11, 12, 13の何れか少なくとも1個が遮断し、アナログ信号スイッチ素子14, 15, 16の何れか少なくとも1個が導通し、アナログ出力電圧 $V_{out}$ として第2のアナログ入力電圧 $V_{2st}$ が出力される。したがって、図4のアナログ電圧切替回路と等価な回路動作をし、図2のアナログ電圧切替回路3を実現できる。

【0030】なお、3個のアナログ信号スイッチ素子11, 12, 13のゲートにデジタル信号 $\neg D_2: \neg D_1: \neg D_0$ をそれぞれ入力し、3個のアナログ信号スイッチ素子14, 15, 16のゲートに反転デジタル信号 $D_2: D_1: D_0$ を入力する構成とすれば、デジタル信号 $\neg D_2: \neg D_1: \neg D_0$ の各ビットデータがすべて“H”、つまりデジタル信号 $D_2: D_1: D_0$ の各ビットデータがすべて“L”のときに、アナログ信号スイッチ素子11, 12, 13がすべて導通し、アナログ信号スイッチ素子14, 15, 16がすべて遮断し、アナログ出力電圧 $V_{out}$ として第1のアナログ入力電圧 $V_{1st}$ が出力され

る。また、デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ の各ビットデータの何れか少なくとも1個が“L”、つまり、デジタル信号 $D_2$ 、 $D_1$ 、 $D_0$ の各ビットデータの何れか少なくとも1個が“H”のときには、アナログ信号スイッチ素子11、12、13の何れか少なくとも1個が遮断し、アナログ信号スイッチ素子14、15、16の何れか少なくとも1個が導通し、アナログ出力電圧 $V_{out}$ として第2のアナログ入力電圧 $V_{in2}$ が出力される。したがって、図2のアナログ電圧切替回路4を実現できる。

【００３１】この実施例のアナログ電圧切替回路は、第 1 および第 2 のアナログ信号スイッチ回路 17、18 がデコード機能を有し、別にデコード回路を設けることは不要であるので、例えば 3 ビットの場合、素子数が 6 個と少なく、しかも第 1 および第 2 のアナログ信号スイッチ回路 17、18 を N チャネル MOS トランジスタ 11 ~ 16 のみで構成することができ、集積回路のパターン設計が容易で、回路規模を小さくできる。

【0032】なお、上記実施例では、アナログ信号スイッチ素子11～16としてNチャネルMOSトランジスタを用いたが、これに代えてPチャネルMOSトランジスタを用いることもできる。また、上記実施例では、3ビットのデジタル信号に基づいて電圧の切替を行う回路を示したが、2ビットのデジタル信号あるいは4ビット以上のデジタル信号に基づいて電圧の切替を行う回路についても、MOSトランジスタ数はビット数の2倍必要となるが、図1と同様に構成できる。

【 0 0 3 3 】 また、アナログ電圧切替回路をCMOS形式にする場合には、NチャネルMOSトランジスタで構成したアナログ電圧切替回路とPチャネルMOSトランジスタで構成したアナログ電圧切替回路とを並設し、各 30

アナログ電圧切替回路の第1および第2のアナログ入力電圧の入力端とアナログ出力電圧の出力端をそれぞれ共通接続する。

[0 0 3 4]

【発明の効果】この発明のアナログ電圧切替回路によれば、第1および第2のアナログ信号スイッチ回路がデコード機能を有し、別にデコード回路を設けることは不要であるので、素子数が少なく、しかも第1および第2のアナログ信号スイッチ回路を同一チャネル型のMOSトランジスタのみで構成することができ、集積回路のパターン設計が容易で、回路規模を小さくできる。

【図面の簡単な説明】

【図１】この発明の一実施例のアナログ電圧切替回路の構成を示す回路図である。

【図2】従来のデジタル・アナログ変換装置の構成を示すブロック図である。

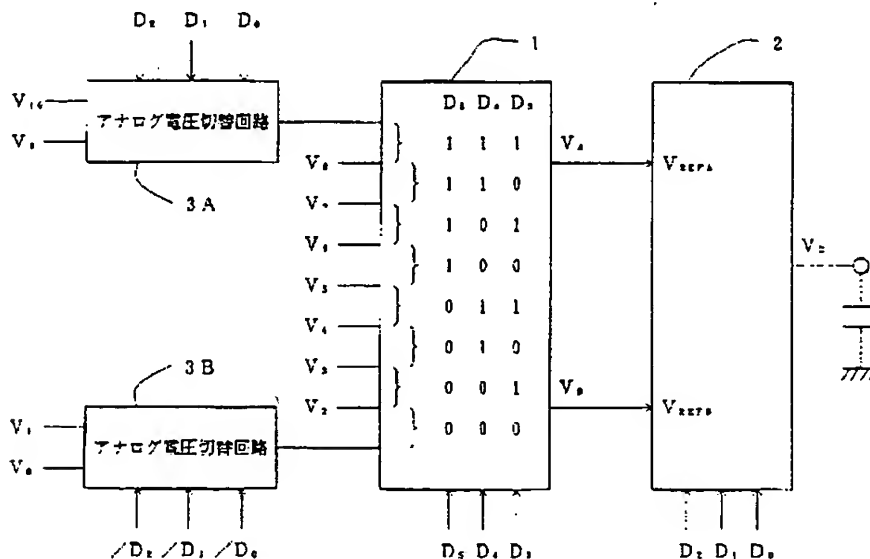
【図3】図2のアナログ電圧切替回路の変換特性を示す特性図である。

【図4】従来のアナログ電圧切替回路の一例の構成を示す回路図である。

【符号の説明】

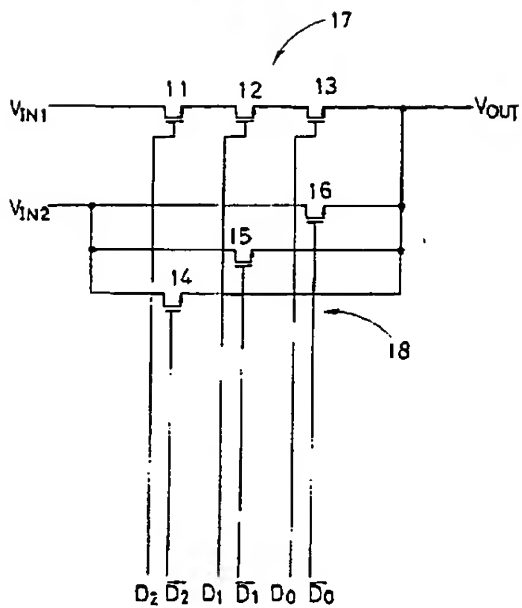
- |     |                   |
|-----|-------------------|
| 1 1 | アナログ信号スイッチ素子      |
| 1 2 | アナログ信号スイッチ素子      |
| 1 3 | アナログ信号スイッチ素子      |
| 1 4 | アナログ信号スイッチ素子      |
| 1 5 | アナログ信号スイッチ素子      |
| 1 6 | アナログ信号スイッチ素子      |
| 1 7 | アナログ信号スイッチ回路 (第1) |
| 1 8 | アナログ信号スイッチ回路 (第2) |

【圖 2】



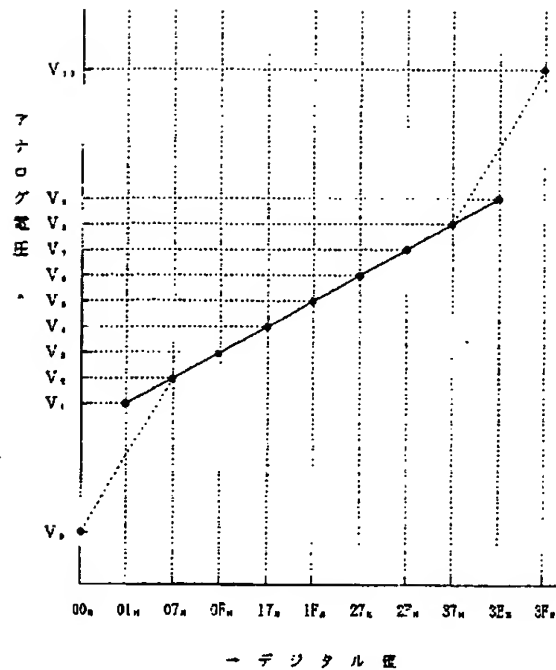


【図1】



- 11 アナログ信号スイッチ素子
- 12 アナログ信号スイッチ素子
- 13 アナログ信号スイッチ素子
- 14 アナログ信号スイッチ素子
- 15 アナログ信号スイッチ素子
- 16 アナログ信号スイッチ素子
- 17 アナログ信号スイッチ回路 (第1)
- 18 アナログ信号スイッチ回路 (第2)

【図3】



【図4】

